

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-262494

(43) 公開日 平成8年(1996)10月11日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
G 0 9 F 9/30	3 3 8	7426-5H	G 0 9 F 9/30	3 3 8 C
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 Z
21/336				

審査請求 未請求 請求項の数 7 F D (全 7 頁)

(21) 出願番号 特願平7-87558  
 (22) 出願日 平成7年(1995)3月20日

(71) 出願人 000002185  
 ソニー株式会社  
 東京都品川区北品川6丁目7番35号  
 (72) 発明者 佐藤 拓生  
 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
 (72) 発明者 橋本 芳浩  
 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
 (72) 発明者 吉田 和好  
 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
 (74) 代理人 弁理士 鈴木 晴敏

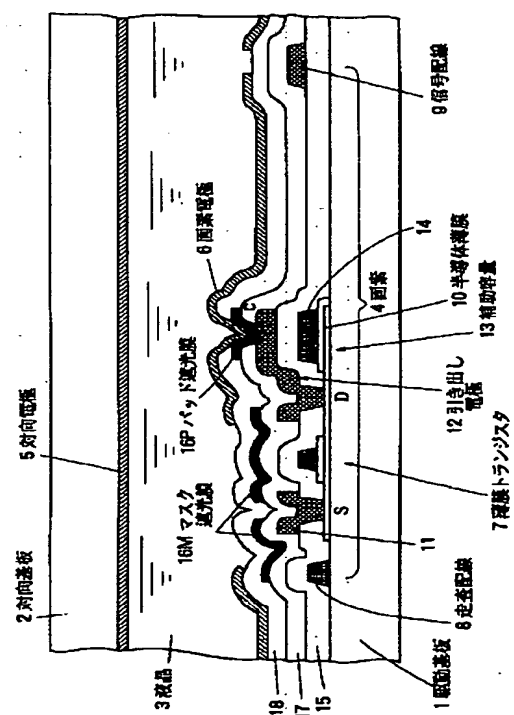
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型表示装置

(57) 【要約】

【目的】 駆動基板側に形成される遮光膜に電気シールド機能及び電気コンタクト機能を付与する。

【構成】 アクティブマトリクス型表示装置は画素4を有する駆動基板1と、対向電極5を有する対向基板2と、両者の間隙に保持された液晶3とを備えている。駆動基板1の上層部は画素4毎に形成された画素電極6を含む。下層部は個々の画素電極6を駆動する薄膜トランジスタ7、走査配線8及び信号配線9を含む。上層部と下層部の間には導電性を有する遮光膜が介在しており、マスク遮光膜16Mとパッド遮光膜16Pとに分離している。マスク遮光膜16Mは画素4の行方向に沿って連続的にパタニングされ、少なくとも部分的に薄膜トランジスタ7を遮光すると共に上層部及び下層部から絶縁され且つ固定電位に保持されている。パッド遮光膜16Pは画素4毎に離散的にパタニングされ且つ対応する画素電極6と薄膜トランジスタ7との間のコンタクト部Cに介在してその電氣的接続及び遮光を図る。



BEST AVAILABLE COPY

(2)

## 【特許請求の範囲】

【請求項1】 行列配置した画素を有する駆動基板と、対向電極を有し所定の間隙を介して該駆動基板に接合した対向基板と、該間隙に保持された電気光学物質とを備えたアクティブマトリクス型表示装置であって、前記駆動基板は、各画素毎に形成された画素電極を含む上層部と、

個々の画素電極を駆動するスイッチング素子、画素の各行に対応して該スイッチング素子の行を走査する走査配線及び画素の各列に対応して該スイッチング素子の列に

所定の信号を供給する信号配線を含む下層部と、該上層部と下層部の間に介在し所定のマスク領域とパッド領域とに分離した導電性を有する遮光膜とを備えており、

前記マスク領域は画素の行方向に沿って連続的にパタニングされ少なくとも部分的にスイッチング素子を遮光すると共に該上層部及び下層部から絶縁され且つ固定電位に保持される一方、

前記パッド領域は画素毎に離散的にパタニングされ且つ対応する画素電極とスイッチング素子との間のコンタクト部に介在してその電氣的接続及び遮光を図る事を特徴とするアクティブマトリクス型表示装置。

【請求項2】 前記遮光膜は走査配線と平行にパタニング形成されており遮光性を有する信号配線と交差して格子状のブラックマトリクスを構成し、個々の画素電極の周囲を遮光して画素の開口を規定する事を特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項3】 前記遮光膜は信号配線と交差する部位に切り欠きパタンを有しており、該信号配線と重なる面積を縮小化する事を特徴とする請求項2記載のアクティブマトリクス型表示装置。

【請求項4】 前記スイッチング素子は信号配線と同一層で形成された引き出し電極を有しており遮光膜のパッド領域を介して画素電極に電気接続すると共に、該引き出し電極は遮光性を有し互いに分離したパッド領域とマスク領域の間を遮光する事を特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項5】 前記マスク領域は対向電極の電位と等しい固定電位に保持されている事を特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項6】 前記導電性を有する遮光膜は金属膜である事を特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項7】 前記スイッチング素子は薄膜トランジスタである事を特徴とする請求項1記載のアクティブマトリクス型表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は駆動基板と対向基板と両者の間に保持された液晶等からなるアクティブマトリク

2

ス型表示装置に関する。より詳しくは、画素電極及びスイッチング素子に加え遮光用のブラックマトリクスを駆動基板側に形成した所謂オンチップブラック構造に関する。

## 【0002】

【従来の技術】 液晶表示装置はテレビやグラフィックディスプレイ等に盛んに用いられている。その中でも、特にアクティブマトリクス型の液晶表示装置は高速応答性を有し、高画素数化に適しており、ディスプレイ画面の高画質化、大型化、カラー化等を実現するものとして期待され、研究開発が進められて既に実用化されたものがある。このアクティブマトリクス型表示装置は、駆動基板側に走査配線と信号配線を直交する様に設け、その交差部毎にスイッチング素子と画素電極とを夫々配設したものである。一方、対向基板側には対向電極に加え通常ブラックマトリクスが形成されている。このブラックマトリクスは外部からスイッチング素子に入射する光を遮断して、光電流によるスイッチング素子の誤動作を防ぐと共に、行列配置した画素電極の間隙を通過する漏れ光を遮断してコントラスト比の低下を防いでいる。しかしながら、ブラックマトリクスを対向基板側に設けると、駆動基板側とのアライメントを精密に行なわなければならない、組立加工上負担になっている。この様なアライメントずれの対策として、個々の画素電極とある程度オーバーラップする様にブラックマトリクスを配設するという方法が通常採用されている。この様にすれば、駆動基板と対向基板とを接合する際のアライメント誤差はオーバーラップ部分の寸法までは吸収できる。しかしながら、オーバーラップ部分を設けるとその分ブラックマトリクスの画素電極に対する開口面積が縮小化され、開口率が犠牲になり画素の輝度が低下する。

## 【0003】

【発明が解決しようとする課題】 この様に、対向基板側にブラックマトリクスを配設する場合には駆動基板と対向基板とを組み合わせる際に生じる位置ずれの問題がある。そこで、ブラックマトリクスを駆動基板側に作り込む所謂オンチップブラック構造が提案されている。同一基板上では画素電極とブラックマトリクスとの位置合わせ精度は1 $\mu$ m程度まで実現可能である。かかるオンチップブラック構造は例えば特開平5-181159号公報に開示されており、図3を参照して簡潔に説明する。図示する様に、この従来構造は石英等からなる絶縁基板100をベースとして形成されており、下層から順に多結晶シリコン等の半導体薄膜101、ゲート絶縁膜102、低抵抗化された多結晶シリコンからなるゲート電極103、層間絶縁膜104、アルミニウムとクロムの二層構造からなる信号配線105、SiN<sub>x</sub>からなる層間絶縁膜106、チタンやタングステン等の金属又はそれらのシリサイドからなる遮光膜107、SiN<sub>x</sub>からなる保護膜108、ITOの様な透明導電膜からなる画素

(3)

3

電極109が重ねられている。なお、信号配線105は薄膜トランジスタ110のソース領域111に電気接続され、画素電極107は同じく薄膜トランジスタ110のドレイン領域112に電気接続されている。

【0004】この従来例は薄膜トランジスタ110や信号配線105が下層部を構成し、画素電極109が上層部を構成する。これら上層部及び下層部の間に遮光膜107が介在しており、ブラックマトリクスを構成する。このブラックマトリクスは金属膜等からなり層間絶縁膜により上層部及び下層部から電氣的に絶縁されている。しかしながら、この遮光膜107は上層部の画素電極109や下層部の信号配線105との間で寄生容量を形成している。この場合、遮光膜107が浮遊電位状態にある為、容量カップリングが生じ、表示品質が損なわれるという課題がある。又、上層部の画素電極109は中層部の遮光膜107を貫通して下層部の薄膜トランジスタ110のドレイン領域112に電気接続されている。このコンタクト部で遮光膜107は一部除去されている為、完全な遮光は困難であり一部光漏れが生じるという課題がある。又、ITO等からなる画素電極109とド

【0005】なお、上述した従来例は上層部と下層部との間に遮光膜を設ける構造であるが、この他最下層部に遮光膜を形成した構成も知られており、例えば特開平4-331923号公報に開示されている。この構成は非晶質シリコン薄膜トランジスタをスイッチング素子として用いており現在主流となっている。しかしながら、これでは遮光膜形成後に薄膜トランジスタを形成する為、層間短絡や薄膜トランジスタの特性変動が生じる。これを防ぐ為には遮光膜を一部除去せざるを得ず完全遮光が困難である。又、多結晶シリコン薄膜トランジスタをスイッチング素子として用いた場合遮光膜形成後に高温プロセスが不可避の為、実際には最下層部に遮光膜を設ける構造は採用できない。又、最上層部に遮光膜を設ける構造も提案されている。しかしながら、駆動基板の表面には画素電極が存在しており、遮光膜との間で所定のマージンを確保する事が困難である。薄膜トランジスタとして逆スタガ構造を採用すると下層部の画素電極が表面に剥き出しになってしまう。又多結晶シリコン薄膜トランジスタのコブレナ構造であると画素電極が表面に剥き出しになる。この改良版として薄膜トランジスタ形成後で且つ画素電極形成前に遮光膜を設ける構造も提案されている。この場合画素電極と遮光膜が電氣的に接続した構成になる。しかしながら、これではカップリングにより画素電極の電位が大きく変動する。これを防ぐ為には遮光膜を一部除去しなければならず、完全な遮光が困難になる。

【0006】

4

【課題を解決するための手段】上述した従来の技術の課題に鑑み、本発明は完全な遮光が可能であり、容量カップリングによる悪影響が生ぜず、画素電極とスイッチング素子との電気接続が良好なオンチップブラック構造を有するアクティブマトリクス型表示装置を提供する事を目的とする。かかる目的を達成する為以下手段を講じた。即ち、本発明にかかるアクティブマトリクス型表示装置は基本的な構成として、行列配置した画素を有する駆動基板と、対向電極を有し所定の間隙を介して該駆動基板に接合した対向基板と、該間隙に保持された電気光学物質とを備えている。前記駆動基板は、各画素毎に形成された画素電極を含む上層部と、個々の画素電極を駆動するスイッチング素子や画素の各行に対応して該スイッチング素子の行を走査する走査配線や画素の各列に対応して該スイッチング素子の列に所定の信号を供給する信号配線等を含む下層部と、該上層部と下層部の間に介在し所定のマスク領域とパッド領域とに分離した導電性を有する遮光膜とを備えている。前記マスク領域に形成された遮光膜（以下マスク遮光膜）は画素の行方向に沿って連続的にパタニングされ、少なくとも部分的にスイッチング素子を遮光すると共に、該上層部及び下層部から絶縁され且つ固定電位に保持されている。これに対し、前記パッド領域に形成された遮光膜（以下パッド遮光膜）は画素毎に離散的にパタニングされ且つ対応する画素電極とスイッチング素子との間のコンタクト部に介在してその電氣的接続及び遮光を図る。

【0007】好ましくは、前記遮光膜は走査配線と平行にパタニング形成されており遮光性を有する信号配線と交差して格子状のブラックマトリクスを構成し、個々の画素電極の周囲を遮光して画素の開口を規定している。又好ましくは、前記遮光膜は信号配線と交差する部位に切り欠きパターンを有しており、該信号配線と重なる面積を縮小化する。さらに好ましくは、前記スイッチング素子は信号配線と同一層で形成された引き出し電極を有しており該パッド遮光膜を介して画素電極に電気接続すると共に、この引き出し電極は遮光性を有し互いに分離したパッド遮光膜とマスク遮光膜の間を遮光している。前記マスク遮光膜は対向電極の電位と等しい固定電位に保持されている。前記導電性を有する遮光膜は金属膜からなる。前記スイッチング素子は薄膜トランジスタからなる。

【0008】

【作用】本発明によれば、画素電極等を含む上層部と薄膜トランジスタや配線を含む下層部との間に遮光膜が介在している。この遮光膜は層間絶縁膜により上層部及び下層部から完全に電氣的に絶縁されている。遮光膜はマスク遮光膜とパッド遮光膜とに分割されている。マスク遮光膜は例えば対向電極と同電位の固定電位に保持されており、画素電極に対し電氣的なシールドの役割を果たすと共に、配線との間の容量カップリングを抑制する事

(4)

5

が可能である。パッド遮光膜は画素電極とスイッチング素子との間のコンタクト部に介在しており、両者の電氣的接続を良好なものにしている。具体的には、スイッチング素子に直接接続する引き出し電極が設けられ、これと画素電極とがパッド遮光膜を介して相互に接続している。この引き出し電極はマスク遮光膜とパッド遮光膜との間の隙間に整合してパタニング形成される為、完全な遮光構造が得られる。遮光膜が行方向に沿ってパタニングされる一方信号配線は列方向に沿ってパタニングされ、互いに直交した両者を組み合わせる事により格子状のブラックマトリクスが駆動基板に形成できる。従って、完全なオンチップブラックマトリクス構造が得られる。

【0009】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかるアクティブマトリクス型表示装置の一実施例を示す模式的な部分断面図である。図示する様に、本アクティブマトリクス型表示装置は駆動基板1と対向基板2と両者の間に保持された液晶3等からなる電気光学物質とで構成されたパネル構造を有している。駆動基板1は行列配置した画素4を有している。対向基板2は少なくとも対向電極5を有しており、所定の隙間を介して駆動基板1に接合している。

この隙間には液晶3が保持されている。

【0010】駆動基板1は上層部と中層部と下層部とに分かれている。上層部は各画素4毎に形成された画素電極6を含む。これに対し、下層部は個々の画素電極6を駆動するスイッチング素子としての薄膜トランジスタ7、画素4の各行に対応して薄膜トランジスタ7の行を走査する走査配線8及び画素4の各列に対応して薄膜トランジスタ7の列に所定の画像信号を供給する信号配線9とを含んでいる。なお、薄膜トランジスタ7は多結晶シリコン等からなる半導体薄膜10を活性層としており、その上にはゲート絶縁膜を介してゲート電極Gがパタニング形成されている。このゲート電極Gは前述した走査配線8に連続している。薄膜トランジスタ7はゲート電極Gの両側にソース領域S及びドレイン領域Dを備えている。ソース領域S側には一方の引き出し電極11が接続しており、前述した信号配線9に連続している。ドレイン領域Dには他方の引き出し電極12が接続している。なお、半導体薄膜10には上述した薄膜トランジスタ7に加え補助容量13も形成されている。この補助容量13は半導体薄膜10を一方の電極とし補助配線14を他方の電極とする。両電極10、14の間にゲート絶縁膜と同層の誘電体膜が介在している。なお、ゲート電極G、走査配線8及び補助配線14は同一層からなり、第1層間絶縁膜15により、引き出し電極11、12から電氣的に絶縁されている。

【0011】上述した上層部と下層部との中層部には導電性を有する遮光膜が介在している。この遮光膜は

6

マスク領域とパッド領域とに分離されている。即ち、本遮光膜はマスク遮光膜16Mとパッド遮光膜16Pとに分割されている。これらの導電性を有する遮光膜16M、16Pは金属膜からなる。一方のマスク遮光膜16Mは画素の行方向に沿って連続的にパタニングされ、少なくとも部分的に薄膜トランジスタ7を遮光する。マスク遮光膜16Mは第2層間絶縁膜17及び第3層間絶縁膜18により上下から挟持されており、前述した下層部及び上層部から絶縁されている。マスク遮光膜16Mは固定電位に保持されている。この固定電位は、例えば対向電極5の電位と等しく設定されている。一方、パッド遮光膜16Pは画素4毎に離散的にパタニングされている。パッド遮光膜16Pは対応する画素電極6と薄膜トランジスタ7との間のコンタクト部Cに介在してその電氣的接続及び遮光を図る。具体的にはパッド遮光膜16Pは画素電極6と引き出し電極12との間に介在しており両者の電氣的接続を良好にしている。なお、この引き出し電極12は前述した様に信号配線9と同一層で形成され、薄膜トランジスタ7のドレイン領域Dに直接電気接続している。この引き出し電極12は遮光性を有し互いに分離したパッド遮光膜16Pとマスク遮光膜16Mとの間を遮光している。

【0012】図2は、図1に示したアクティブマトリクス型表示装置の模式的な平面図であり、1個の画素部分を拡大して表わしている。図示する様に、マスク遮光膜16Mは走査配線8と平行にパタニング形成されている。従って、マスク遮光膜16Mは遮光性を有する信号配線9と交差しており、格子状のブラックマトリクスを構成する。これにより、個々の画素電極6の周囲を遮光して画素の開口19を規定する。この際、マスク遮光膜16Mは信号配線9と交差する部位に切り欠きパタン20を有しており、信号配線9と重なる面積を可能な限り縮小化している。これにより容量カップリングの悪影響を抑制できる。なお、この切り欠きパタン20の部分において、マスク遮光膜16Mと信号配線9は0.1～2.0μm程度しか重なっていない。前述した様に、薄膜トランジスタ7は信号配線9と同一層で形成された引き出し電極12を有しておりドレイン領域Dに直接接触している。この引き出し電極12はパッド遮光膜16Pを介して上方の画素電極6に電気接続している。換言すると、パッド遮光膜16Pは画素電極6と薄膜トランジスタ7との間のコンタクト部Cに介在している。引き出し電極12も遮光性を有しており、互いに分離したパッド遮光膜16Pとマスク遮光膜16Mとの間を遮光している。なお、図1に示した補助配線14は走査配線8と平行にパタニングされている。補助配線14の一部が半導体薄膜10と重なり合い、前述した補助容量を形成する。

【0013】以上説明した様に、導電性の遮光膜16M、16Pは、薄膜トランジスタ7等からなるスイッチ

50

(5)

7

ング素子、信号配線9、走査配線8等より上方で、且つ画素電極6より下方に形成されている。この遮光膜16M、16Pは信号配線9、走査配線8、画素電極6の何れとも絶縁されている為、マスクすべき領域全てを最小限の面積で遮光する事ができる。この為、駆動基板1側のみで表示領域の完全遮光が可能になり、アクティブマトリクス型表示装置としての透過率を最大限まで高める事が可能である。又、対向基板2は対向電極5のみを形成すれば良い為、材料費や組み立て費も軽減可能である。さらに、マスク遮光膜16Mは固定電位に保持されている為、各画素電極6に対しシールドの役割を果たすと共に、容量カップリングを抑制する事ができ表示品質を向上させる事が可能である。一方、パッド遮光膜16Pは画素電極6と引き出し電極12との間に介在し両者の電気接続を良好なものにしている。

【0014】引き続き図1及び図2を参照して、本発明にかかるアクティブマトリクス型表示装置の製造方法を詳細に説明する。駆動基板1はガラス又は石英等からなり、この駆動基板1の上に減圧CVD法で半導体薄膜10を成膜する。例えば、この半導体薄膜10は50nm程

度の膜厚に堆積した多結晶シリコンからなり、薄膜トランジスタ7の活性層として用いられる。この半導体薄膜10は成膜された後アイランド状にパタニングされる。半導体薄膜10の上に例えば $\text{SiO}_2$ からなるゲート絶縁膜を成膜する。ここで、半導体薄膜10の材料としては多結晶シリコンの他に非晶質シリコン等を用いても良い。又、ゲート絶縁膜の材料としては $\text{SiO}_2$ の他に、 $\text{SiN}$ や酸化タンタル及びこれらの積層膜等を用いても良い。

【0015】次に、駆動基板1の上に走査配線8、ゲート電極G、補助配線14等を同時に形成する。例えば、減圧CVD法により350nm程度の膜厚で多結晶シリコンを堆積した後、不純物をドーピングし低抵抗化を図り、さらに所定の形状にパタニングする。これらの走査配線8、ゲート電極G及び補助配線14の材料としては、多結晶シリコンの他に、Ta、Mo、Al、Cr等の金属やそれらのシリサイド、ポリサイド等を用いても良い。この様にして、半導体薄膜10、ゲート絶縁膜及びゲート電極Gからなる薄膜トランジスタ7が形成される。本例ではこの薄膜トランジスタ7はプレーナ型であるが、正スタガ型や逆スタガ型等を採用しても良い。同時に、半導体薄膜10には補助容量13も形成される。

【0016】次に常圧CVD法により600nm程度の膜厚でPSG等を堆積し第1層間絶縁膜15を形成する。この第1層間絶縁膜15は上述した走査配線8、ゲート電極G、補助配線14等を被覆している。この第1層間絶縁膜15には薄膜トランジスタ7のソース領域Sやドレイン領域Dに達するコンタクトホールが開口されている。第1層間絶縁膜15の上には信号配線9や引き出し電極11、12がパタニング形成されている。例えば、

8

スパッタリング法により600nm程度の膜厚でアルミニウムを堆積し、所定の形状にパタニングして信号配線9及び引き出し電極11、12に加工する。一方の引き出し電極11はコンタクトホールを介して薄膜トランジスタ7のソース領域Sに接続し、他方の引き出し電極12は同じくコンタクトホールを介して薄膜トランジスタ7のドレイン領域Dに接続する。これら信号配線9及び引き出し電極11、12の材料としては、Alの他に、Ta、Cr、Mo、Ni等を用いても良い。

【0017】信号配線9や引き出し電極11、12の上には第2層間絶縁膜17が成膜されており、これらを被覆する。例えば、常圧CVD法により600nm程度の膜厚でPSGを堆積して第2層間絶縁膜17を形成する。この第2層間絶縁膜17には引き出し電極12に達するコンタクトホール(C)が開口されている。この第2層間絶縁膜17の上にはマスク遮光膜16M及びパッド遮光膜16Pが形成されている。例えば、スパッタリング法により250nm程度の膜厚でTiを堆積し、所定の形状にパタニングしてマスク遮光膜16M及びパッド遮光膜16Pに加工する。マスク遮光膜16Mは表示画素外の領域で固定電位にコンタクトしている。一方、パッド遮光膜16Pは前述したコンタクトホール(C)を介して引き出し電極12にコンタクトしている。マスク遮光膜16Mは全表示画素領域に渡って互いに接続されている。マスク遮光膜16Mは画素開口19及び信号配線9を除いて、薄膜トランジスタ7、走査配線8及び補助配線14の殆ど全部の領域を覆っている。この為、各画素開口19の互いに対向する一対の辺は信号配線9によって規定されており、他の一対の辺はマスク遮光膜16Mによって規定されている。マスク遮光膜16Mとしては、十分な遮光性と良好な段差被覆性を有する材料であれば良い。遮光性は、400~700nmの可視光領域で透過率1%以下、好ましくは0.1%以下であれば良い。マスク遮光膜16Mの材料としては、Tiの他に、Cr、Ni、Ta、W、Al、Cu、Mo、Pt、Pd等の金属及びこれらの合金やシリサイドを用いても良い。マスク遮光膜16Mの膜厚は、各々の材料によって上述した遮光性を満足する厚さであれば良く、一般に50nm以上であれば良い。なお、パッド遮光膜16Pもマスク遮光膜16Mと全く同一層で形成されている。

【0018】マスク遮光膜16M及びパッド遮光膜16Pを被覆する様に第3層間絶縁膜18が成膜される。例えば、常圧CVD法により600nm程度の膜厚でPSGを堆積して第3層間絶縁膜18を形成する。この第3層間絶縁膜18にはパッド遮光膜16Pに達するコンタクトホールが開口している。なお、層間絶縁膜15、17、18の材料としては透明性及び絶縁性のものであれば良く、PSGの他に $\text{SiO}_2$ 、BSG、BPSG、 $\text{SiN}$ 、プラズマ $\text{SiN}$ 等や、ポリイミド及びアクリル樹脂の様な有機物を用いても良い。第3層間絶縁膜18の

(6)

9

上には画素電極6が形成されている。例えば、スパッタリング法により150nm程度の膜厚でITO等の透明導電膜を成膜し、所定の形状にパタニングして画素電極6に加工する。

【0019】この後、ガラス等からなり対向電極5が全面に形成されている対向基板2を駆動基板1に接合する。両基板1、2の間隙に液晶3を封入する。この液晶3は例えばツイストネマチック配向されている。

【0020】なお上述した実施例では、薄膜トランジスタ7がスイッチング素子として用いられているが、薄膜トランジスタ等の3端子素子以外に、ダイオード、バリスタ及び金属-絶縁物-金属(MIM)素子等の2端子素子をスイッチング素子として用いる事ができる。2端子素子を用いる場合は、マトリクス状の複数の画素電極、2端子素子、第1の電極群等を駆動基板1側に設け、第1の電極群と交差する第2の電極群を対向基板2側に設ける。なお、上述した実施例では薄膜トランジスタ7のドレイン領域Dに画素電極6が接続し、ソース領域Sに信号配線9が接続している。しかしながら、実際には液晶3を交流駆動する為、薄膜トランジスタ7のソ

【0021】

【発明の効果】以上説明した様に、本発明によれば、画素電極が属する上層部と、薄膜トランジスタや配線が属する下層部との間に遮光膜を介在させている。この遮光膜はマスク遮光膜とパッド遮光膜とに分割されている。このマスク遮光膜は固定電位に接続されている為、各画素電極に対しシールドの役割を果たすと共に、配線に対する容量カップリングを抑制する事が可能であり、表示品質を向上させる事ができた。一方パッド遮光膜は画素電極とスイッチング素子との間に介在し両者の電氣的接続を良好なものにしている。マスク遮光膜はスイッチング素子や配線より上方に位置し且つ画素電極より下方に

10

位置している。配線や画素電極の何れとも絶縁されている為、遮光すべき領域全てを最小限の面積で遮光する事ができる。この為、駆動基板側のみで表示領域の完全遮光が可能になり、液晶表示装置としての透過率を最大限まで高める事が可能である。一方、対向基板2側には対向電極のみを形成すれば良い為、材料費や組み立て費も軽減可能である。

【図面の簡単な説明】

【図1】本発明にかかるアクティブマトリクス型表示装置の一実施例を示す模式的な部分断面図である。

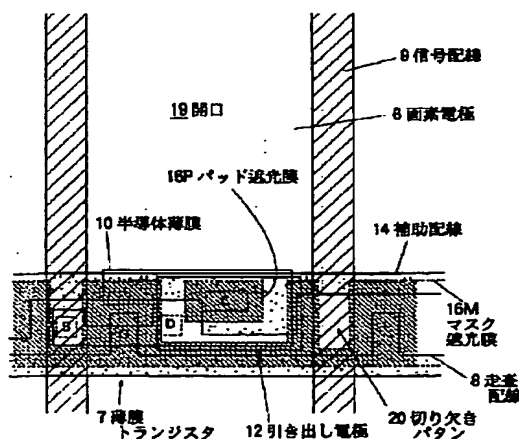
【図2】同じく本発明にかかるアクティブマトリクス型表示装置の一実施例を示す模式的な部分平面図である。

【図3】従来のアクティブマトリクス型表示装置の一例を示す模式的な部分断面図である。

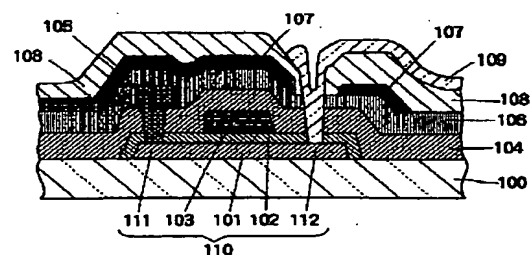
【符号の説明】

- |     |          |
|-----|----------|
| 1   | 駆動基板     |
| 2   | 対向基板     |
| 3   | 液晶       |
| 4   | 画素       |
| 5   | 対向電極     |
| 6   | 画素電極     |
| 7   | 薄膜トランジスタ |
| 8   | 走査配線     |
| 9   | 信号配線     |
| 10  | 半導体薄膜    |
| 12  | 引き出し電極   |
| 13  | 補助容量     |
| 15  | 第1層間絶縁膜  |
| 16M | マスク遮光膜   |
| 16P | パッド遮光膜   |
| 17  | 第2層間絶縁膜  |
| 18  | 第3層間絶縁膜  |
| 19  | 開口       |
| 20  | 切り欠きパタン  |

【図2】

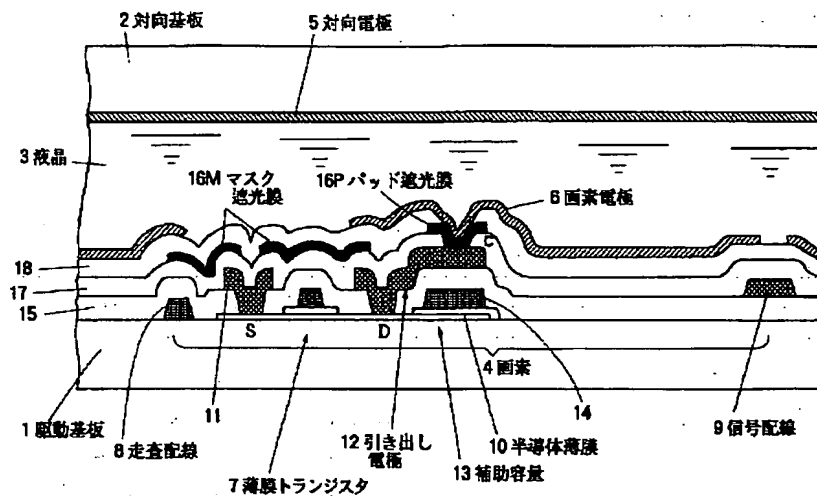


【図3】



(7)

【図 1】



フロントページの続き

(72) 発明者 牧村 真悟

東京都品川区北品川6丁目7番35号ニ  
株式会社内

(72) 發明者 高德 真人

東京都品川区北品川6丁目7番35号 北品川6丁目7番35号 〆ソニ  
株式会社内 株式会社内

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-262494

(43)Date of publication of application : 11.10.1996

(51)Int.Cl.

G02F 1/136

G09F 9/30

H01L 29/786

H01L 21/336

(21)Application number : 07-087558

(71)Applicant : SONY CORP

(22)Date of filing : 20.03.1995

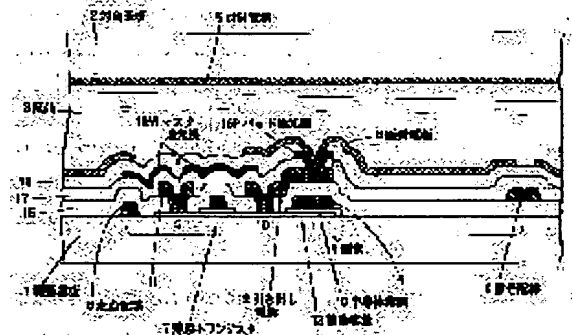
(72)Inventor : SATO TAKUO  
HASHIMOTO YOSHIHIRO  
YOSHIDA KAZUYOSHI  
MAKIMURA SHINGO  
TAKATOKU MASATO

## (54) ACTIVE MATRIX TYPE DISPLAY DEVICE

### (57)Abstract:

**PURPOSE:** To impart an electric shielding function and electric contact function to light shielding films formed on a driving substrate side.

**CONSTITUTION:** This active matrix type display device includes a driving substrate 1 having pixels 4, a counter substrate 2 having counter electrodes 5 and liquid crystals 3 held in a spacing between both. The upper layer part of this driving substrate 1 includes pixel electrodes 6 formed at every pixel 4. The lower layer part includes thin-film transistors (TFTs) 7 for driving the individual pixel electrodes 6, scanning wirings 8 and signal wirings 9. Light shielding films having electrical conductivity are interposed between the upper layer part and the lower layer part and are separated to the mask light shielding films 16M and pad light shielding films 16P. The mask light shielding films 16M are continuously patterned along the row direction of the pixels 4 to at least partly shield the light of the TFTs 7, are insulated from the upper layer part and lower layer part and are held at fixed potential. The pad light shielding films 16P are discretely patterned for every pixel 4 and are interposed into the contact parts C between the corresponding pixel electrodes 6 and the TFTs 7, thereby providing the electrical connection and light shielding thereof.





---

## LEGAL STATUS

[Date of request for examination] 17.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3307150

[Date of registration] 17.05.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The drive substrate which has the pixel which carried out matrix arrangement, and the opposite substrate which has a counterelectrode and was joined to this drive substrate through the predetermined gap, It is the active-matrix mold display equipped with the electrooptic material held in this gap. Said drive substrate The management containing the pixel electrode formed for every pixel, and the switching element which drives each pixel electrode, The lower layer section including the signal wiring which supplies a predetermined signal to the train of this switching element corresponding to each train of scan wiring which scans the line of this switching element corresponding to each line of a pixel, and a pixel, It has the light-shielding film which has the conductivity which intervened between this management and the lower layer section, and was divided into a predetermined mask field and a predetermined pad field. While patterning of said mask field is continuously carried out along with the line writing direction of a pixel, and it shades a switching element partially, at least, and it insulates from this management and the lower layer section and it is held at fixed potential. Said pad field is a active-matrix mold display characterized by being placed between the contact section between the pixel electrodes and switching elements which patterning is discretely carried out for every pixel, and correspond, and aiming at the electrical installation and protection from light.

[Claim 2] Said light-shielding film is a active-matrix mold display according to claim 1 characterized by intersecting the signal wiring which patterning formation is carried out at a scan wiring and parallel, and having protection-from-light nature, constituting a grid-like black matrix, shading the perimeter of each pixel, the pixel electrode, and specifying opening of a pixel.

[Claim 3] Said light-shielding film is a active-matrix mold display according to claim 2 characterized by contraction-izing area which has the notching pattern to the part which intersects signal wiring, and laps with this signal wiring.

[Claim 4] Said switching element is a active-matrix mold display according to claim 1 characterized by shading between the pad fields which this drawer electrode has protection-from-light nature while pulling out, having the electrode and carrying out electrical connection to a pixel electrode through the pad field of a light-shielding film, and were separated mutually and mask fields which were formed in the same layer as signal wiring.

[Claim 5] Said mask field is a active-matrix mold display according to claim 1 characterized by being held at fixed potential equal to the potential of a counterelectrode.

[Claim 6] The light-shielding film which has said conductivity is a active-matrix mold display according to claim 1 characterized by being a metal membrane.

[Claim 7] Said switching element is a active-matrix mold display according to claim 1 characterized by being a thin film transistor.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the active-matrix mold display which consists of liquid crystal held between a drive substrate, an opposite substrate, and both. It is related with the so-called on-chip black structure which formed the black matrix for protection from light in the drive substrate side in addition to the pixel electrode and the switching element in more detail.

[0002]

[Description of the Prior Art] The liquid crystal display is briskly used for television, graphic display, etc. Also in it, especially the liquid crystal display of a active-matrix mold has high-speed responsibility, and fits high pixel number-ization, it is expected as what realizes high-definition-izing of a display-screen, enlargement, colorization, etc., and there are some which researches and developments were furthered and were already put in practical use. This active-matrix mold display is prepared so that scan wiring and signal wiring may be intersected perpendicularly with a drive substrate side, and it arranges a switching element and a pixel electrode for every intersection of that, respectively. On the other hand, in addition to the counterelectrode, the black matrix is usually formed in the opposite substrate side. This black matrix intercepted the leakage light which passes through the gap of the pixel electrode which carried out matrix arrangement, and has prevented the fall of a contrast ratio while it intercepts the light which carries out incidence to a switching element and protects malfunction of the switching element by the photocurrent from the exterior. However, if a black matrix is prepared in an opposite substrate side, alignment by the side of a drive substrate must be performed to a precision; and it has become a burden on assembly processing. The method of arranging a black matrix so that each pixel electrode may be overlapped to some extent as a cure of such an alignment gap is usually adopted. If it is made this appearance, the dimension of an overlap part can absorb the alignment error at the time of joining a drive substrate and an opposite substrate. However, if an overlap part is prepared, opening area to the pixel electrode of the part black matrix will be contraction-ized, a numerical aperture falls victim, and the brightness of a pixel falls.

[0003]

[Problem(s) to be Solved by the Invention] Thus, there is a problem of the location gap produced in case it combines a drive substrate and an opposite substrate, in arranging a black matrix in an opposite substrate side. Then, the so-called on-chip black structure which makes a black matrix to a drive substrate side is proposed. On the same substrate, the alignment precision of a pixel electrode and a black matrix is realizable to about 1 micrometer. This on-chip black structure is indicated by JP,5-181159,A, and is briefly explained with reference to drawing 3. Structure is formed conventionally [ this ] considering the insulating substrate 100 which consists of a quartz etc. as the base so that it may illustrate. The signal wiring 105 which becomes order from the two-layer structure of the semiconductor thin films 101, such as polycrystalline silicon, gate dielectric film 102, the gate electrode 103 that consists of polycrystalline silicon formed into low resistance, an interlayer insulation film 104, aluminum, and chromium from a lower layer, and SiNx since -- the light-shielding film 107 which consists of metals or those silicide, such as the becoming interlayer insulation film 106 and titanium, and

a tungsten, and SiNx from -- the pixel electrode 109 which consists of the becoming protective coat 108 and transperence electric conduction film like ITO has piled up. In addition, electrical connection of the signal wiring 105 is carried out to the source field 111 of a thin film transistor 110, and, similarly electrical connection of the pixel electrode 107 is carried out to the drain field 112 of a thin film transistor 110.

[0004] As for this conventional example, a thin film transistor 110 and signal wiring 105 constitute the lower layer section, and the pixel electrode 109 constitutes a management. The light-shielding film 107 intervenes between these managements and the lower layer section, and a black matrix is constituted. This black matrix consists of a metal membrane etc., and is electrically insulated from a management and the lower layer section with the interlayer insulation film. However, this light-shielding film 107 forms parasitic capacitance between the signal wiring 105 of the pixel electrode 109 of a management, or the lower layer section. In this case, since a light-shielding film 107 is in a floating potential condition, capacity coupling arises and the technical problem that display quality is spoiled occurs. Moreover, the pixel electrode 109 of a management penetrates the light-shielding film 107 of the medium-rise section, and electrical connection is carried out to the drain field 112 of the thin film transistor 110 of the lower layer section. Since the light-shielding film 107 is removed in part in this contact section, perfect protection from light has the technical problem that it is difficult and optical leakage arises in part.

Moreover, when direct continuation of the drain field 112 is carried out to the pixel electrode 109 which consists of ITO etc., good ohmic contact is not obtained but the technical problem that it is the cause of a pixel defect occurs.

[0005] In addition, although the conventional example mentioned above is the structure of preparing a light-shielding film between a management and the lower layer section, the configuration which formed the light-shielding film in the lowest layer is also known, for example, it is indicated by JP,4-331923,A. This configuration uses the amorphous silicon thin film transistor as a switching element, and serves as the current mainstream. However, now, in order to form a thin film transistor after light-shielding film formation, property fluctuation of a layer short or a thin film transistor arises in order to prevent this, on the light-shielding film, a part is not removing -- it does not obtain but full protection from light is not enough difficult. Moreover, when a polycrystalline silicon thin film transistor is used as a switching element, since an elevated-temperature process is unescapable, the structure of preparing a light-shielding film cannot be adopted as the lowest layer in fact after light-shielding film formation. Moreover, the structure of preparing the management of the maximum a light-shielding film is also proposed. However, it is difficult for the pixel electrode to exist in the front face of a drive substrate, and to secure a predetermined margin between light-shielding films. If reverse stagger structure is adopted as a thin film transistor, the pixel electrode of the lower layer section will become unreserved on a front face. Moreover, a pixel electrode becomes it unreserved on a front face that it is the KOPURENA structure of a polycrystalline silicon thin film transistor. The structure of being after thin film transistor formation as this amelioration version, and preparing a light-shielding film before pixel electrode formation is also proposed. In this case, it becomes the configuration which the light-shielding film connected with the pixel electrode electrically. However, now, the potential of a pixel electrode is sharply changed by coupling. In order to prevent this, a part of light-shielding film must be removed, and perfect protection from light becomes difficult.

[0006]

[Means for Solving the Problem] In view of the technical problem of a Prior art mentioned above, perfect protection from light is possible for this invention, and the bad influence by capacity coupling does not arise, but the electrical connection of a pixel electrode and a switching element aims at offering the active-matrix mold display which has good on-chip black structure. The following means were provided in order to attain this purpose. That is, the active-matrix mold display concerning this invention is equipped with the drive substrate which has the pixel which carried out matrix arrangement as a fundamental configuration, the opposite substrate which has a counterelectrode and was joined to this

drive substrate through the predetermined gap, and the electrooptic material held in this gap. With the management containing the pixel electrode with which said drive substrate was formed for every pixel. The lower layer section including the signal wiring which supplies a predetermined signal to the train of this switching element corresponding to each train of scan wiring or a pixel which scans the line of this switching element corresponding to each line of a switching element or a pixel which drives each pixel electrode, It has the light-shielding film which has the conductivity which intervened between this management and the lower layer section, and was divided into a predetermined mask field and a predetermined pad field. It insulates from this management and the lower layer section, and it is held at fixed potential while patterning of the light-shielding film (following mask light-shielding film) formed in said mask field is continuously carried out along with the line writing direction of a pixel and it shades a switching element partially at least. On the other hand, it is placed between the contact sections between the pixel electrodes and switching elements which patterning is discretely carried out for every pixel, and correspond by the light-shielding film (following pad light-shielding film) formed in said pad field, and it aims at the electrical installation and protection from light.

[0007] Preferably, said light-shielding film intersected the signal wiring which patterning formation is carried out at scan wiring and parallel, and has protection-from-light nature, constituted the grid-like black matrix, shaded the perimeter of each pixel electrode, and has specified opening of a pixel.

Moreover, preferably, said light-shielding film has the notching pattern to the part which intersects signal wiring, and contraction-izes area which laps with this signal wiring. Said switching element is shading still more preferably between the pad light-shielding films which this drawer electrode has protection-from-light nature, and were separated while pulling out, having the electrode and carrying out electrical connection to a pixel electrode through this pad light-shielding film and mask light-shielding films which were formed in the same layer as signal wiring. Said mask light-shielding film is held at fixed potential equal to the potential of a counterelectrode. The light-shielding film which has said conductivity consists of a metal membrane. Said switching element consists of a thin film transistor.

[0008] [Function] According to this invention, the light-shielding film intervenes between the lower layer sections including the management and thin film transistor containing a pixel electrode etc. or wiring. This light-shielding film is completely insulated from a management and the lower layer section electrically with the interlayer insulation film. The light-shielding film is divided into the mask light-shielding film and the pad light-shielding film. While the mask light-shielding film is held at the fixed potential of a counterelectrode and this potential and playing the role of electric shielding to a pixel electrode, it is possible to control capacity coupling between wiring. It is placed between the contact sections between a pixel electrode and a switching element by the pad light-shielding film, and it makes both electrical installation good. The drawer electrode which carries out direct continuation to a switching element was specifically prepared, and this and a pixel electrode have connected mutually through a pad light-shielding film. This drawer electrode is adjusted in the clearance between a mask light-shielding film and a pad light-shielding film, and since patterning formation is carried out, perfect protection-from-light structure is acquired. On the other hand, patterning of the signal wiring is carried out along the direction of a train, and a grid-like black matrix can form it in a drive substrate by combining both by whom patterning is done for a light-shielding film along with a line writing direction and who intersected perpendicularly mutually. Therefore, perfect on-chip black matrix structure is acquired.

[0009]

[Example] With reference to a drawing, the suitable example of this invention is explained to a detail below. Drawing 1 is the typical fragmentary sectional view showing one example of the active-matrix mold display concerning this invention. This active-matrix mold display has the panel structure which consisted of electrooptic material which consists of liquid crystal 3 grade held between the drive substrate 1, the opposite substrate 2, and both so that it may illustrate. The drive substrate 1 has the

pixel 4 which carried out matrix arrangement. The opposite substrate 2 has the counterelectrode 5 at least, and has joined it to the drive substrate 1 through a predetermined gap. Liquid crystal 3 is held in this gap.

[0010] The drive substrate 1 is divided into a management, the medium-rise section, and the lower layer section. A management contains the pixel electrode 6 formed every pixel 4. On the other hand, the lower layer section includes the signal wiring 9 which supplies a predetermined picture signal to the train of a thin film transistor 7 corresponding to each train of the scan wiring 8 which scans the line of a thin film transistor 7 corresponding to each line of the 7 pixel thin film transistor 4 as a switching element which drives each pixel electrode 6, and a pixel 4. In addition, the thin film transistor 7 makes the barrier layer the semi-conductor thin film 10 which consists of polycrystalline silicon etc., and patterning formation of the gate electrode G is carried out through gate dielectric film on it. This gate electrode G is following the scan wiring 8 mentioned above. The thin film transistor 7 equips the both sides of the gate electrode G with the source field S and the drain field D. One drawer electrode 11 has connected with the source field S side, and the signal wiring 9 mentioned above is followed. The drawer electrode 12 of another side has connected with the drain field D. In addition, in addition to the thin film transistor 7 mentioned above, the auxiliary capacity 13 is also formed in the semi-conductor thin film 10. This auxiliary capacity 13 uses the semi-conductor thin film 10 as one electrode, and uses auxiliary wiring 14 as the electrode of another side. Gate dielectric film and the dielectric film of this layer intervene among the two electrodes 10 and 14. In addition, the gate electrode G, the scan wiring 8, and the auxiliary wiring 14 consist of the same layer, and are electrically insulated from the drawer electrodes 11 and 12 with the 1st interlayer insulation film 15.

[0011] It is placed between the medium-rise sections between the managements and the lower layer sections which were mentioned above by the light-shielding film which has conductivity. This light-shielding film is divided into the mask field and the pad field. That is, this light-shielding film is divided into mask light-shielding film 16M and pad light-shielding film 16P. The light-shielding films 16M and 16P which have such conductivity consist of a metal membrane. Along with the line writing direction of a photo pixel, patterning of one mask light-shielding film 16M is carried out continuously, and they shade a thin film transistor 7 partially at least. Mask light-shielding film 16M are pinched from the upper and lower sides with the 2nd interlayer insulation film 17 and the 3rd interlayer insulation film 18, and are insulated from the lower layer section and the management which mentioned above. Mask light-shielding film 16M are held at fixed potential. This fixed potential is set up equally to the potential of a counterelectrode 5. On the other hand, patterning of pad light-shielding film 16P is carried out discretely every pixel 4. It is placed between the contact sections C between corresponding pixel electrodes 6 and thin film transistors 7 by pad light-shielding film 16P, and they aim at the electrical installation and protection from light. Pad light-shielding film 16P pull out with the pixel electrode 6, intervene between electrodes 12, and, specifically, make both electrical installation good. In addition, this drawer electrode 12 is formed in the appearance mentioned above in the same layer as signal wiring 9; and is carrying out direct electrical connection to the drain field D of a thin film transistor 7. This drawer electrode 12 is shading between pad light-shielding film 16P which have protection-from-light nature and were separated mutually, and mask light-shielding film 16M.

[0012] Drawing 2 is the typical top view of the active-matrix mold display shown in drawing 1, and expands and expresses one pixel part. Patterning formation of mask light-shielding film 16M is carried out in parallel with the scan wiring 8 so that it may illustrate. Therefore, mask light-shielding film 16M intersect the signal wiring 9 which has protection-from-light nature, and constitute a grid-like black matrix. Thereby, the perimeter of each pixel electrode 6 is shaded and the opening 19 of a pixel is specified. Under the present circumstances, mask light-shielding film 16M have the notching pattern 20 to the part which intersects signal wiring 9, and have contraction-sized area which laps with signal wiring 9 as much as possible. Thereby, the bad influence of capacity coupling can be controlled. In addition, in the part of this notching pattern 20, only mask light-shielding film 16M and about 0.1-2.0 micrometers of

signal wiring 9 have not lapped. It has the drawer [ which was mentioned above ] electrode 12 in which the thin film transistor 7 was formed in the same layer as signal wiring 9 like, and is directly in contact with the drain field D. Electrical connection of this drawer electrode 12 is carried out to the upper pixel electrode 6 through pad light-shielding film 16P. It is placed between the contact sections C between the pixel electrode 6 and a thin film transistor 7 by pad light-shielding film 16P if it puts in another way. The drawer electrode 12 also has protection-from-light nature, and between pad light-shielding film 16P separated mutually and mask light-shielding film 16M is shaded. In addition, patterning of the auxiliary wiring 14 shown in drawing 1 is carried out in parallel with the scan wiring 8. Some auxiliary wiring 14 forms the semi-conductor thin film 10, overlap, and the auxiliary capacity mentioned above.

[0013] From the switching element which the conductive light-shielding films 16M and 16P become from thin film transistor 7 grade like and signal wiring 9 which were explained above, and scan wiring 8 grade, it is the upper part and is formed more nearly caudad than the pixel electrode 6. Since it insulates with both signal wiring 9 the scan wiring 8 and the pixel electrode 6, these light-shielding films 16M and 16P can shade all the fields that should be carried out a mask in the minimum area. For this reason, it is possible for full protection from light of a viewing area to be attained only by the drive substrate 1 side, and to raise the permeability as a active-matrix mold display to the maximum. Moreover, since the opposite substrate 2 should form only a counterelectrode 5, it can also mitigate the cost of materials

and assembly expense. Furthermore, capacity coupling can be controlled and they can raise display quality while they play the role of shielding to each pixel electrode 6, since mask light-shielding film 16M are held at fixed potential. On the other hand, pad light-shielding film 16P pull-out with the pixel electrode 6, intervene between electrodes 12, and make both electrical connection good.

[0014] With reference to drawing 1 and drawing 2, the manufacture approach of the active-matrix mold display concerning this invention is succeedingly explained to a detail. The drive substrate 1 consists of glass or a quartz, and forms the semi-conductor thin film 10 with a reduced pressure CVD method on this drive substrate 1. For example, this semi-conductor thin film 10 consists of polycrystalline silicon, and is deposited on about 50nm thickness, and is used as a barrier layer of a thin film transistor 7. Patterning of this semi-conductor thin film 10 is carried out to the shape of a formed back island. the semi-conductor thin film 10 top for example SiO<sub>2</sub> from the becoming gate dielectric film is formed. Here, as an ingredient of the semi-conductor thin film 10, amorphous silicon etc. may be used other than polycrystalline silicon. Moreover, as an ingredient of gate dielectric film, it is SiO<sub>2</sub>, SiN, tantalum oxide, these cascade screens, etc. may be used for others.

[0015] Next, the scan wiring 8, the gate electrode G, and auxiliary wiring 14 grade are formed on the drive substrate 1 at coincidence. For example, after depositing polycrystalline silicon in about 350nm thickness with a reduced pressure CVD method, an impurity is doped, low resistance-ization is attained and patterning is carried out to a further predetermined configuration. As an ingredient of these scan wiring 8, the gate electrode G, and the auxiliary wiring 14, metals, such as Ta, Mo, aluminum, and Cr, those silicide, a polycide, etc. may be used other than polycrystalline silicon. Thus, the thin film transistor 7 which consists of the semi-conductor thin film 10, gate dielectric film, and a gate electrode G is formed. Although this thin film transistor 7 is a planar mold in this example, a forward stagger mold, a reverse stagger mold, etc. may be adopted. The auxiliary capacity 13 is also formed in the semi-conductor thin film 10 at coincidence.

[0016] Next, PSG etc. is deposited in about 600nm thickness with an ordinary pressure CVD method, and the 1st interlayer insulation film 15 is formed. This 1st interlayer insulation film 15 has covered the scan wiring 8, the gate electrode G, and auxiliary wiring 14 grade which were mentioned above. Opening of the contact hole which arrives at the source field S and the drain field D of a thin film transistor 7 is carried out to this 1st interlayer insulation film 15. On the 1st interlayer insulation film 15, patterning formation of signal wiring 9 or the drawer electrodes 11 and 12 is carried out. For example, aluminum is deposited in about 600nm thickness by the sputtering method, patterning is carried out to a predetermined configuration, and it is processed into signal wiring 9 and the drawer electrodes 11 and 12.

It connects with the source field S of a thin film transistor 7 through a contact hole, and, similarly one drawer electrode 11 connects the drawer electrode 12 of another side to the drain field D of a thin film transistor 7 through a contact hole. As an ingredient of these signal wiring 9 and the drawer electrodes 11 and 12, Ta, Cr, Mo, nickel, etc. may be used other than aluminum.

[0017] The 2nd interlayer insulation film 17 is formed on signal wiring 9 or the drawer electrodes 11 and 12, and these are covered. For example, PSG is deposited in about 600nm thickness with an ordinary pressure CVD method, and the 2nd interlayer insulation film 17 is formed. Opening of the contact hole (C) which pulls out to this 2nd interlayer insulation film 17, and reaches an electrode 12 is carried out. On this 2nd interlayer insulation film 17, mask light-shielding film 16M and pad light-shielding film 16P are formed. For example, Ti is deposited in about 250nm thickness by the sputtering method, patterning is carried out to a predetermined configuration, and it is processed into mask light-shielding film 16M and pad light-shielding film 16P. Mask light-shielding film 16M are in contact with fixed potential in the field besides a display pixel. On the other hand, pad light-shielding film 16P are pulled out through the contact hole (C) mentioned above, and are in contact with the electrode 12. Mask light-shielding film 16M are crossed to all display pixel fields, and are connected mutually. Mask light-shielding film 16M have covered almost all the fields of a thin film transistor 7, the scan wiring 8, and the auxiliary wiring 14 except for the pixel opening 19 and signal wiring 9. For this reason, the side of a pair where each pixel opening 19 counters mutually is prescribed by signal wiring 9, and the side of other pairs is specified by mask light-shielding film 16M. What is necessary is just the ingredient which has sufficient protection-from-light nature and good step coverage nature as mask light-shielding film 16M. Protection-from-light nature should just be 0.1% or less preferably 1% or less of permeability in a 400-700nm light field. As an ingredient of mask light-shielding film 16M, metals, and these alloys and silicide other than Ti, such as Cr, Mo, nickel, Ta, W, aluminum, Cu, Mo, Pt, and Pd, may be used. Generally the thickness of mask light-shielding film 16M should just be 50nm or more that what is necessary is just the thickness with which are satisfied of the protection-from-light nature mentioned above with each ingredient. In addition, pad light-shielding film 16P are completely formed in the same layer with mask light-shielding film 16M as the same layer. [0018] The 3rd interlayer insulation film 18 is formed so that mask light-shielding film 16M and pad light-shielding film 16P may be covered. For example, PSG is deposited in about 600nm thickness with an ordinary pressure CVD method, and the 3rd interlayer insulation film 18 is formed. The contact hole which amounts to pad light-shielding film 16P is carrying out opening to this 3rd interlayer insulation film 18. In addition, SiO<sub>2</sub>, BSG, BPSG, SiN, Plasma SiN, etc. and the polyimide and the organic substance like acrylic resin other than PSG may be used that what is necessary is just transparency and an insulating thing as an ingredient of interlayer insulation films 15, 17, and 18. The pixel electrode 6 is formed on the 3rd interlayer insulation film 18. For example, transference electric conduction film, such as ITO, is formed by about 150nm thickness by the sputtering method, patterning is carried out to a predetermined configuration, and it is processed into the pixel electrode 6.

[0019] Then, the opposite substrate 2 with which it consists of glass etc. and the counterelectrode 5 is formed in the whole surface is joined to the drive substrate 1. Liquid crystal 3 is enclosed with the gap of both the substrates 1 and 2. For example, twist nematic orientation of this liquid crystal 3 is carried out.

[0020] In addition, in the example mentioned above, although the thin film transistor 7 is used as a switching element, 2 terminal components, such as diode, a varistor, and a metal-insulating material-metal (MIM) component, can be used as a switching element in addition to 3 terminal components, such as a thin film transistor. When using 2 terminal component, two or more matrix-like pixel electrodes, 2 terminal component, the 1st electrode group, etc. are prepared in the drive substrate 1 side, and the 2nd electrode group which intersects the 1st electrode group is prepared in the opposite substrate 2 side. In addition, in the example mentioned above, the pixel electrode 6 connected with the drain field D of a thin film transistor 7, and signal wiring 9 has connected with the source field S. However, since in fact carries out the alternating current drive of the liquid crystal 3, the source field S of a thin film transistor



7 and the drain field D exchanges [ the role ] by turns.

[0021]

[Effect of the Invention] According to this invention, the light-shielding film is made to intervene like between the management which explained above and where a pixel electrode belongs, and the lower layer section to which a thin film transistor and wiring belong. This light-shielding film is divided into the mask light-shielding film and the pad light-shielding film. This mask light-shielding film can control capacity coupling to wiring, and was able to raise display quality while it played the role of shielding to each pixel electrode, since it connected with fixed potential. On the other hand, a pad light-shielding film intervenes between a pixel electrode and a switching element, and makes both electrical installation good. A mask light-shielding film is located more nearly up than a switching element and wiring, and is caudad located from the pixel electrode. Since it insulates with both wiring or a pixel electrode, all the fields that should shade can be shaded in the minimum area. For this reason, it is possible for full protection from light of a viewing area to be attained only by the drive substrate side, and to raise the permeability as a liquid crystal display to the maximum. On the other hand, since what is necessary is to form only a counterelectrode in the opposite substrate 2 side, the cost of materials and assembly expense are also mitigable.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

**1 This document has been translated by computer. So the translation may not reflect the original as precisely.**

**2 \*\*\* shows the word which cannot be translated.**

**3 In the drawings, any words are not translated.**

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the typical fragmentary sectional view showing one example of the active-matrix mold display concerning this invention.

[Drawing 2] It is the typical part plan showing one example of the active-matrix mold display similarly applied to this invention.

[Drawing 3] It is the typical fragmentary sectional view showing an example of the conventional active-matrix mold display.

[Description of Notations]

- 1 Drive Substrate
- 2 Opposite Substrate
- 3 Liquid Crystal
- 4 Pixel
- 5 Counterelectrode
- 6 Pixel Electrode
- 7 Thin Film Transistor
- 8 Scan Wiring
- 9 Signal Wiring

- 10 Semi-conductor Thin Film
- 12 Drawer Electrode
- 13 Auxiliary Capacity
- 15 1st Interlayer Insulation Film
- 16M Mask light-shielding film
- 16P Pad light-shielding film
- 17 2nd Interlayer Insulation Film
- 18 3rd Interlayer Insulation Film
- 19 Opening
- 20 Notching Pattern

---

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**